

STM32F103xC STM32F103xD STM32F103xE

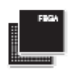
增强型，32位基于ARM核心的带512K字节闪存的微控制器 USB、CAN、11个定时器、3个ADC 、13个通信接口

功能

初步信息

- **内核：ARM 32位的Cortex™-M3 CPU**
  - 最高72MHz工作频率，1.25DMips/MHz(Dhrystone 2.1)，在存储器的0等待周期访问时
  - 单周期乘法和硬件除法
- **存储器**
  - 从256K至512K字节的闪存程序存储器
  - 高达64K字节的SRAM
  - 带4个片选的灵活的静态存储器控制器。支持CF卡、SRAM、PSRAM、NOR和NAND存储器
  - 并行LCD接口，兼容8080/6800模式
- **时钟、复位和电源管理**
  - 2.0～3.6伏供电和I/O管脚
  - 上电/断电复位(POR/PDR)、可编程电压监测器(PVD)
  - 内嵌4～16MHz晶体振荡器
  - 内嵌经出厂调校的8MHz的RC振荡器
  - 内嵌带校准的40kHz的RC振荡器
  - 带校准功能的32kHz RTC振荡器
- **低功耗**
  - 睡眠、停机和待机模式
  - V_{BAT}为RTC和后备寄存器供电
- **3个12位模数转换器，1μs转换时间(多达21个输入通道)**
  - 转换范围：0至3.6V
  - 三倍采样和保持功能
  - 温度传感器
- **2 通道 12 位 D/A 转换器**
- **DMA**
  - 12通道DMA控制器
  - 支持的外设：定时器、ADC、DAC、SDIO、I²S、SPI、I²C和USART
- **多达112个快速I/O口**
  - 51/80/112个多功能双向的I/O口
  - 所有I/O口可以映像到16个外部中断
  - 除了模拟输入口以外的IO口可容忍5V信号输入





LQFP64 10 × 10 mm,
LQFP100 14 × 14 mm,
LQFP144 20 × 20 mm

LFBGA100 10 × 10 mm
LFBGA144 10 × 10 mm

- **调试模式**
  - 串行单线调试(SWD)和JTAG接口
  - Cortex-M3内嵌跟踪模块(ETM)
- **多达11个定时器**
  - 多达4个16位定时器，每个定时器有多达4个用于输入捕获/输出比较/PWM或脉冲计数的通道
  - 2个16位6通道高级控制定时器，多达6路PWM输出，带死区控制
  - 2个看门狗定时器(独立的和窗口型的)
  - 系统时间定时器：24位自减型计数
  - 2个16位基本定时器用于驱动DAC
- **多达13个通信接口**
  - 多达2个I²C接口(支持SMBus/PMBus)
  - 多达5个USART接口(支持ISO7816，LIN，IrDA接口和调制解调控制)
  - 多达3个SPI接口(18M位/秒)，2个可复用为I²S接口
  - CAN 接口(2.0B 默认)
  - USB 2.0 全速接口
  - SDIO 接口
- **CRC计算单元**
- **ECOPACK®封装**

表1　器件列表

参 考	基本型号
STM32F103xC	STM32F103RC、STM32F103VC、STM32F103ZC
STM32F103xD	STM32F103RD、STM32F103VD、STM32F103ZD
STM32F103xE	STM32F103RE、STM32F103ZE、STM32F103VE

1 介绍

本文给出了STM32F103xC、STM32F103xD和STM32F103xE增强型的订购信息和器件的机械特性。

有关闪存存储器的编程、擦除和保护等信息，请参考《STM32F10xxx闪存编程参考手册》。

有关Cortex-M3的信息，请参考《Cortex-M3技术参考手册》

2 规格说明

STM32F103xC、STM32F103xD和STM32F103xE增强型系列使用高性能的ARM® Cortex™-M3 32位的RISC内核，工作频率为72MHz，内置高速存储器(高达512K字节的闪存和64K字节的SRAM)，丰富的增强I/O端口和联接到两条APB总线的外设。所有型号的器件都包含3个12位的ADC、4个通用16位定时器和2个PWM定时器，还包含标准和先进的通信接口：多达2个I^2C、3个SPI、2个I^2S、1个SDIO、5个USART、一个USB和一个CAN。

STM32F103xC、STM32F103xD和STM32F103xE增强型系列工作于-40°C至+105°C的温度范围，供电电压2.0V至3.6V，一系列的省电模式保证低功耗应用的要求。

完整的STM32F103xC、STM32F103xD和STM32F103xE增强型系列产品包括从64脚至144脚的五种不同封装形式；根据不同的封装形式，器件中的外设配置不尽相同。下面给出了该系列产品中所有外设的基本介绍。

这些丰富的外设配置，使得STM32F103xC、STM32F103xD和STM32F103xE增强型微控制器适合于多种应用场合：

- 电机驱动和应用控制
- 医疗和手持设备
- PC外设和GPS平台
- 工业应用：可编程控制器、变频器、打印机和扫描仪
- 警报系统，视频对讲，和暖气通风空调系统等

图一给出了该产品系列的框图。



2.1 器件一览

表2 STM32F103xC、STM32F103xD 和 STM32F103xE 器件功能和配置

外设		STM32F103Rx			STM32F103Vx			STM32F103Zx		
闪存(K字节)		256	384	512	256	384	512	256	384	512
RAM(K字节)		48	64		48	64		48	64	
FSMC		无			有			有		
定时器	通用	4								
	高级	2								
	基本	2								
通信	SPI(I^2S)(1)	3(2)								
	I^2C	2								
	USART	5								
	USB	1								
	CAN	1								
	SDIO	1								
通用I/O端口		51			80			112		
12位同步ADC		3 16通道			3 16通道			3 21通道		
12位DAC		1 2通道								
CPU频率		72MHz								
工作电压		2.0～3.6V								
工作温度		+85° C / -40至+105℃ 结温：-40至+125℃								
封装		LQFP64			LQFP100, BGA100			LQFP144, BGA144		

1. SPI2和SPI3接口能够灵活地在SPI模式和I^2S音频模式间切换。

2.2 系列之间的全兼容性

STM32F103xx是一个完整的系列，其成员之间是脚对脚兼容，软件和功能上也兼容。STM32F103xC、STM32F103xD和STM32F103xE是STM32F103xx数据手册中描述的STM32F103x6/8/B/C产品的延伸，他们具有更大的闪存存储器和RAM容量，更多的片上外设，如SDIO、FSMC、I^2S和DAC等，同时保持与其它同系列的产品兼容。

STM32F103xC、STM32F103xD和STM32F103xE可直接替换STM32F103x6/8/B/C产品，为用户在产品开发中尝试使用不同的存储容量提供了更大的自由度。

表3　STM32F103xx 系列

<table>
<tr><th rowspan="3">管脚数</th><th colspan="6">存储器容量</th></tr>
<tr><th>32K 闪存</th><th>64K 闪存</th><th>128K 闪存</th><th>256K 闪存</th><th>384K 闪存</th><th>512K 闪存</th></tr>
<tr><th>10K RAM</th><th>20K RAM</th><th>20K RAM</th><th>48K RAM</th><th>64K RAM</th><th>64K RAM</th></tr>
<tr><td>144</td><td></td><td></td><td></td><td colspan="3" rowspan="3">5 个 USART
4 个 16 位定时器、2 个基本定时器
3 个 SPI、2 个 I²S、2 个 I²C
USB、CAN、2 个 PWM 定时器
3 个 ADC、1 个 DAC、1 个 SDIO
FSMC(100 和 144 脚)</td></tr>
<tr><td>100</td><td></td><td colspan="2" rowspan="3">3 个 USART
3 个 16 位定时器
2 个 SPI、2 个 I²C
USB、CAN
1 个 PWM 定时器
1 个 ADC</td></tr>
<tr><td>64</td><td rowspan="3">2 个 USART
2 个 16 位定时器
1 个 SPI、1 个 I²C
USB、CAN
1 个 PWM 定时器
1 个 ADC</td></tr>
<tr><td>48</td><td></td><td></td><td></td></tr>
<tr><td>36</td><td></td><td></td><td></td><td></td><td></td></tr>
</table>

2.3　概述

ARM®的Cortex™-M3核心并内嵌闪存和SRAM

ARM的Cortex™-M3处理器是最新一代的嵌入式ARM处理器，它为实现MCU的需要提供了低成本的平台、缩减的管脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

ARM的Cortex™-M3是32位的RISC处理器，提供额外的代码效率，在通常8和16位系统的存储空间上发挥了ARM内核的高性能。

STM32F103xC、STM32F103xD和STM32F103xE增强型系列拥有内置的ARM核心，因此它与所有的ARM工具和软件兼容。

图一是该系列产品的功能框图。

内置闪存存储器

高达512K字节的内置闪存存储器，用于存放程序和数据。

CRC(循环冗余校验)计算单元

CRC(循环冗余校验)计算单元使用一个固定的多项式发生器，从一个32位的数据字产生一个CRC码。在众多的应用中，基于CRC的技术被用于验证数据传输或存储的一致性。

内置SRAM

多达64K字节的内置SRAM，CPU能以0等待周期访问(读/写)。

FSMC(可配置的静态存储器控制器)

STM32F103xC、STM32F103xD和STM32F103xE增强型系列集成了FSMC模块。它具有4个片选输出，支持CF、RAM、PSRAM、NOR和NAND。

功能介绍：

- 三个FSMC中断源，经过逻辑或连到NVIC单元；
- 写入FIFO；

- 代码可以在除PC卡外的片外存储器运行；
- 目标频率为SYSCLK/2，即当系统时钟为72MHz时，外部访问的速度可达36MHz；系统时钟为48MHz时，外部访问的速度可达24MHz。

LCD并行接口

FSMC可以配置成与多数图形LCD控制器的无缝连接，它支持Intel 8080和Motorola 6800的模式，并能够灵活地与特定的LCD接口。使用这个LCD并行接口可以很方便地构建简易的图形应用环境，或使用专用加速控制器的高性能方案。

嵌套的向量式中断控制器(NVIC)

STM32F103xC、STM32F103xD和STM32F103xE增强型内置嵌套的向量式中断控制器，能够处理多达60个可屏蔽中断通道(不包括16个Cortex™-M3的中断线)和16个优先级。

- 紧耦合的NVIC能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的NVIC接口
- 允许中断的早期处理
- 处理*晚到的*较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

外部中断/事件控制器(EXTI)

外部中断/事件控制器包含19个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI可以检测到脉冲宽度小于内部APB2的时钟周期。多达112个通用I/O口连接到16个外部中断线。

时钟和启动

系统时钟的选择是在启动时进行，复位时内部8MHz的RC振荡器被选为默认的CPU时钟，随后可以选择外部的、具失效监控的4~16MHz时钟；当外部时钟失效时，它将被隔离，同时产生相应的中断。同样，在需要时可以采取对PLL时钟完全的中断管理(如当一个外接的振荡器失效时)。

具有多个预分频器用于配置AHB的频率、高速APB(APB2)和低速APB(APB1)区域。AHB和高速APB的最高频率是72MHz，低速APB的最高频率为36MHz。参考图二的时钟驱动框图。

自举模式

在启动时，自举管脚被用于选择三种自举模式中的一种：

- 从用户闪存自举
- 从系统存储器自举
- 从内部SRAM自举

自举加载程序存放于系统存储器中，可以通过USART1对闪存重新编程。

供电方案

- V_{DD} = 2.0～3.6V：V_{DD}管脚为I/O管脚和内部调压器的供电。

- V_{SSA}，V_{DDA}＝2.0～3.6V：为ADC、复位模块、RC振荡器和PLL的模拟部分提供供电。使用ADC时，V_{DD}不得小于2.4V。V_{DDA}和V_{SSA}必须分别连接到V_{DD}和V_{SS}。
- V_{BAT} = 1.8～3.6V：当关闭V_{DD}时，（通过内部电源切换器）为RTC、外部32kHz振荡器和后备寄存器供电。

关于如何连接电源管脚的详细信息，参见图十.供电方案。

供电监控器

本产品内部集成了上电复位(POR)/掉电复位(PDR)电路，该电路始终处于工作状态，保证系统在供电超过2V时工作；当V_{DD}低于设定的阀值($V_{POR/PDR}$)时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器(PVD)，它监视V_{DD}供电并与阀值V_{PVD}比较，当V_{DD}低于或高于阀值V_{PVD}时将产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD功能需要通过程序开启。关于$V_{POR/PDR}$和V_{PVD}的值参考第5章的图表：内嵌复位和电源控制模块图表。

电压调压器

调压器有三个操作模式：主模式(MR)、低功耗模式(LPR)和关断模式

- 主模式(MR)用于正常的运行操作
- 低功耗模式(LPR)用于CPU的停机模式
- 关断模式用于CPU的待机模式：调压器的输出为高阻状态，内核电路的供电切断，调压器处于零消耗状态(但寄存器和SRAM的内容将丢失)

该调压器在复位后始终处于工作状态，在待机模式下关闭处于高阻输出。

低功耗模式

STM32F103xC、STM32F103xD和STM32F103xE增强型支持三种低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

- 睡眠模式
  在睡眠模式，只有CPU停止，所有外设处于工作状态并可在发生中断/事件时唤醒CPU。
- 停机模式
  在保持SRAM和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，停止所有内部1.8V部分的供电，PLL、HSI和HSE的RC振荡器被关闭，调压器可以被置于普通模式或低功耗模式。
  可以通过任一配置成EXTI的信号把微控制器从停机模式中唤醒，EXTI信号可以是16个外部I/O口之一、PVD的输出、RTC闹钟或USB的唤醒信号。
- 待机模式
  在待机模式下可以达到最低的电能消耗。内部的电压调压器被关闭，因此所有内部1.8V部分的供电被切断；PLL、HSI和HSE的RC振荡器也被关闭；进入待机模式后，SRAM和寄存器的内容将消失，但后备寄存器的内容仍然保留，待机电路仍工作。
  从待机模式退出的条件是：NRST上的外部复位信号、IWDG复位、WKUP管脚上的一个上升边沿或RTC的闹钟到时。

注：　在进入停机或待机模式时，RTC、IWDG和对应的时钟不会被停止。

DMA

灵活的12路通用DMA(DMA1上有7个通道，DMA2上有5个通道)可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输；2个DMA控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件DMA请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA可以用于主要的外设：SPI、I^2C、USART，通用、基本和高级控制定时器TIMx，DAC、I^2S、SDIO和ADC。

RTC(实时时钟)和后备寄存器

RTC和后备寄存器通过一个开关供电，在V_{DD}有效时该开关选择V_{DD}供电，否则由V_{BAT}管脚供电。后备寄存器(42个16位的寄存器)可以用于保存84个字节的用户应用数据。该寄存器不会被系统或电源复位源复位；当从待机模式唤醒时，也不会被复位。

实时时钟具有一组连续运行的计数器，可以通过适当的软件提供日历时钟功能，还具有闹钟中断和阶段性中断功能。RTC的驱动时钟可以是一个使用外部晶体的32.768kHz的振荡器、内部低功耗RC振荡器或高速的外部时钟经128分频。内部低功耗RC振荡器的典型频率为40kHz。为补偿天然晶体的偏差，可以通过输出一个512Hz的信号对RTC的时钟进行校准。RTC具有一个32位的可编程计数器，使用比较寄存器可以进行长时间的测量。有一个20位的预分频器用于时基时钟，默认情况下时钟为32.768kHz时它将产生一个1秒长的时间基准。

独立的看门狗

独立的看门狗是基于一个12位的递减计数器和一个8位的预分频器，它由一个内部独立的40kHz的RC振荡器提供时钟，因为这个RC振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以被当成看门狗用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选择字节可以配置成是软件或硬件启动看门狗。在调试模式，计数器可以被冻结。

窗口看门狗

窗口看门狗内有一个7位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式，计数器可以被冻结。

系统时基定时器

这个定时器是专用于操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24位的递减计数器
- 重加载功能
- 当计数器为0时能产生一个可屏蔽中断
- 可编程时钟源

通用定时器(TIMx)

STM32F103xC、STM32F103xD和STM32F103xE增强型系列产品中内置了多达4个可同步运行的标准定时器(TIM2、TIM3、TIM4和TIM5)。每个定时器都有一个16位的自动加载递加/递减计数器、一个16位的预分频器和4个独立的通道，每个通道都可用于输入捕获、输出比较、PWM和单脉冲模式输出，在最大的封装配置中可提供最多16个输入捕获、输出比较或PWM通道。它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。

在调试模式下，计数器可以被冻结。

任一标准定时器都能用于产生PWM输出。每个定时器都有独立的DMA请求机制。

基本定时器-TIM6和TIM7

这2个定时器主要是用于产生DAC触发信号，也可当成通用的16位时基计数器。

高级控制定时器(TIM1和TIM8)

高级控制定时器(TIM1和TIM8)可以被看成是分配到6个通道的三相PWM发生器，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获

- 输出比较
- 产生PWM(边缘或中心对齐模式)
- 单脉冲输出
- 互补PWM输出，具程序可控的死区插入功能

配置为16位标准定时器时，它与TIMx定时器具有相同的功能。配置为16位PWM发生器时，它具有全调制能力(0~100%)。

在调试模式下，计数器可以被冻结。

很多功能都与标准的TIM定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与TIM定时器协同操作，提供同步或事件链接功能。

I^2C总线

多达2个I^2C总线接口，能够工作于多主和从模式，支持标准和快速模式。

I^2C接口支持7位或10位寻址，7位从模式时支持双从地址寻址。内置了硬件CRC发生器/校验器。

它们可以使用DMA操作并支持SMBus总线2.0版/PMBus总线。

通用同步/异步收发器(USART)

STM32F103xC、STM32F103xD和STM32F103xE增强型系列产品中内置了3个通用同步/异步收发器(USART1、USART2和USART3)，和2个通用异步收发器(USART4和USART5)。

这5个接口提供异步通信、支持红外线传输编解码、多处理器通信模式、单线半双工通信模式和LIN主/从功能。

USART1接口通信速率可达4.5兆位/秒，其他USART接口通信速率可达2.25兆位/秒。

USART1、USART2和USART3接口具有硬件的CTS和RTS信号管理、与兼容ISO7816的智能卡模式和类SPI通信模式，除了USART5所有其他接口都可以使用DMA操作。

串行外设接口(SPI)

多达3个SPI接口，在从或主模式下，全双工和半双工的通信速率可达18兆位/秒。3位的预分频器可产生8种主模式频率，可配置成每帧8位或16位。硬件的CRC产生/校验支持基本的SD卡和MMC模式。

所有的SPI接口都可以使用DMA操作。

I^2S(芯片互联音频)接口

2个标准的I^2S接口(与SPI2和SPI3复用)可以工作于主或从模式，这2个接口可以配置为16位或32位传输，亦可配置为输入或输出通道，支持音频采样频率从8kHz到48kHz。当任一个或两个I^2S接口配置为主模式，它的主时钟可以以256倍采样频率输出给外部的DAC或CODEC(解码器)。

SDIO

SD/SDIO/MMC主机接口可以支持MMC卡系统规范4.2版中的3个不同的数据总线模式：1位(默认)、4位和8位。在8位模式下，该接口可以使数据传输速率达到48MHz，该接口与兼容SD存储卡规范2.0版。

SDIO存储卡规范2.0版支持两种数据总线模式：1位(默认)和4位。

目前的芯片版本只能一次支持一个SD/SDIO/MMC 4.2版的卡，但可以同时支持多个MMC 4.1版或之前的卡。

除了SD/SDIO/MMC，这个接口完全与CE-ATA数字协议版本1.1兼容。

控制器区域网络(CAN)

CAN接口兼容规范2.0A和2.0B (主动)，位速率高达1兆位/秒。它可以接收和发送11位标识符的标准帧，也可以接收和发送29位标识符的扩展帧。具有3个发送邮箱和2个接收FIFO，3级14个可调节的滤波器。

通用串行总线(USB)

STM32F103xC、STM32F103xD和STM32F103xE增强型系列产品内嵌一个兼容全速USB的设备控制器，遵循全速USB设备(12兆位/秒)标准，端点可由软件配置，具有待机/恢复功能。USB专用的48MHz时钟由内部主PLL直接产生。

通用输入输出接口(GPIO)

每个GPIO管脚都可以由软件配置成输出(推拉或开路)、输入(带或不带上拉或下拉)或其它的外设功能端口。多数GPIO管脚都与数字或模拟的外设共用。所有的GPIO管脚都有大电流通过能力。

在需要的情况下，I/O管脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入I/O寄存器。

在APB2上的I/O脚可达18MHz的翻转速度。

ADC(模拟/数字转换器)

STM32F103xC、STM32F103xD和STM32F103xE增强型产品内嵌3个12位的模拟/数字转换器(ADC)，每个ADC共用多达21个外部通道，可以实现单次或扫描转换。在扫描模式下，在选定的一组模拟输入上的转换自动进行。

ADC接口上额外的逻辑功能包括：

- 同时采样和保持
- 交叉采样和保持
- 单次采样

ADC可以使用DMA操作。

模拟看门狗功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阀值时，将产生中断。

由标准定时器(TIMx)和高级控制定时器(TIM1和TIM8)产生的事件，可以分别内部级联到ADC的开始触发和注入触发，应用程序能使AD转换与时钟同步。

DAC(数字至模拟信号转换器)

两个12位带缓冲的DAC通道可以用于转换2路数字信号成为2路模拟电压信号并输出。这项功能内部是通过集成的电阻串和反向的放大器实现。

这个双数字接口支持下述功能：

- 两个DAC转换器：各有一个输出通道
- 8位或12位单调输出
- 12位模式下的左右数据对齐
- 同步更新功能
- 产生噪声波
- 产生三角波
- 双DAC通道独立或同步转换
- 每个通道都可使用DMA功能
- 外部触发进行转换
- 输入参考电压 V_{REF+}

STM32F103xC、STM32F103xD和STM32F103xE增强型产品中有8个触发DAC转换的输入。DAC通道可以由定时器的更新输出触发，更新输出也可连接到不同的DMA通道。

温度传感器

温度传感器产生一个随温度线性变化的电压，转换范围在2V < V_{DDA} < 3.6V之间。温度传感器在内部被连接到ADC1_IN16的输入通道上，用于将传感器的输出转换到数字数值。

串行单线JTAG调试口(SWJ-DP)

内嵌ARM的SWJ-DP接口，这是一个结合了JTAG和串行单线调试的接口，可以实现串行单线调试接口或JTAG接口的连接。JTAG的TMS和TCK信号分别与SWDIO和SWCLK共用管脚，TMS脚上的一个特殊的信号序列用于在JTAG-DP和SW-DP间切换。

内嵌跟踪模块(ETM)

使用ARM®的嵌入式跟踪微单元(ETM)，STM32F10xxx通过很少的ETM管脚连接到外部跟踪端口分析(TPA)设备，从CPU核心中以高速输出压缩的数据流，为开发人员提供了清晰的指令运行与数据流动的信息。TPA设备可以通过USB、以太网或其它高速通道连接到调试主机，实时的指令和数据流向能够被调试主机上的调试软件记录下来，并按需要的格式显示出来。TPA硬件可以从开发工具供应商处购得，并能与第三方的调试软件兼容。

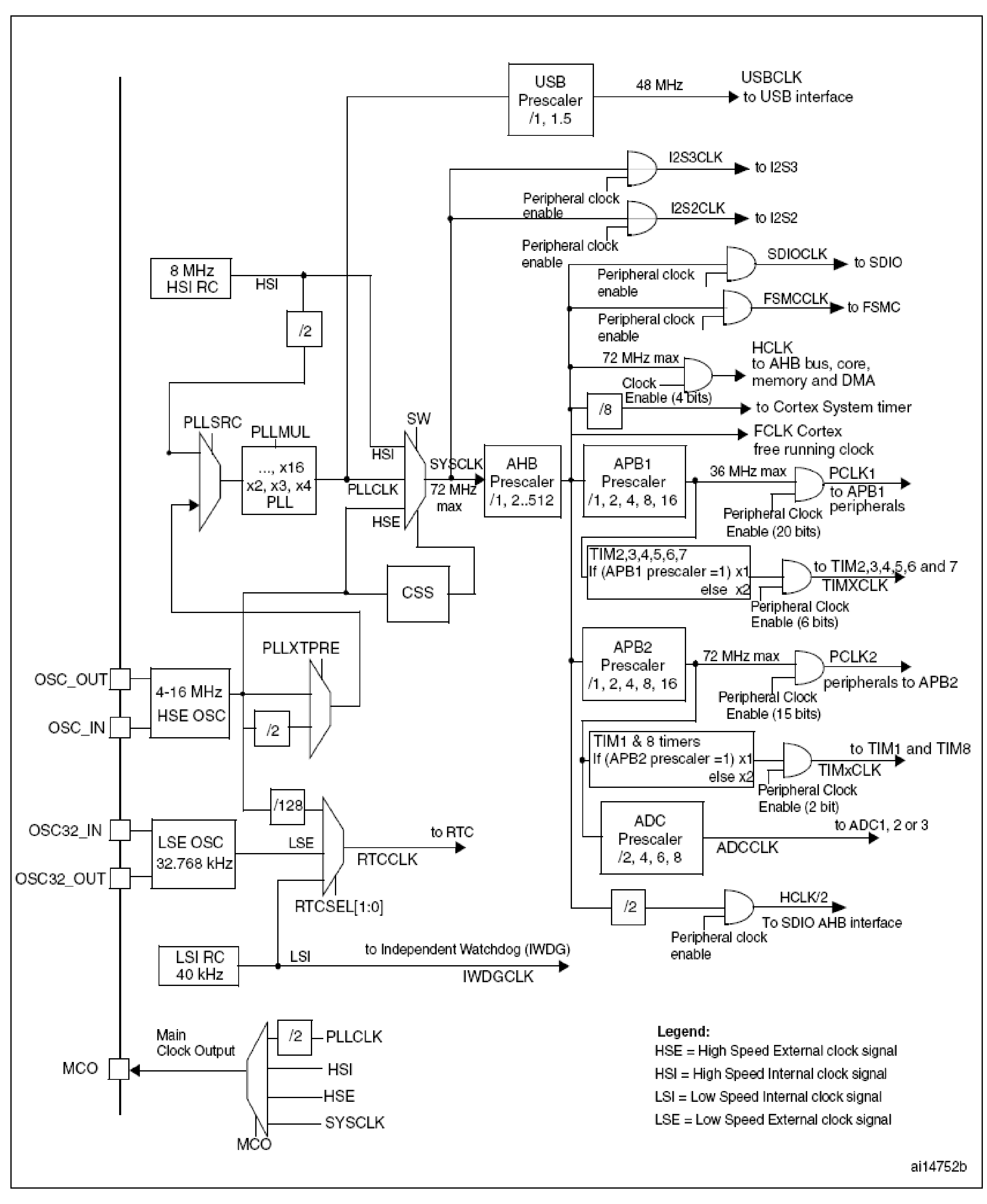


图一　STM32F103xC、STM32F103xD 和 STM32F103xE 增强型模块框图

1. 工作温度：-40°C至105°C (结温达125°C)

2. AF：可作为外设功能脚的I/O口

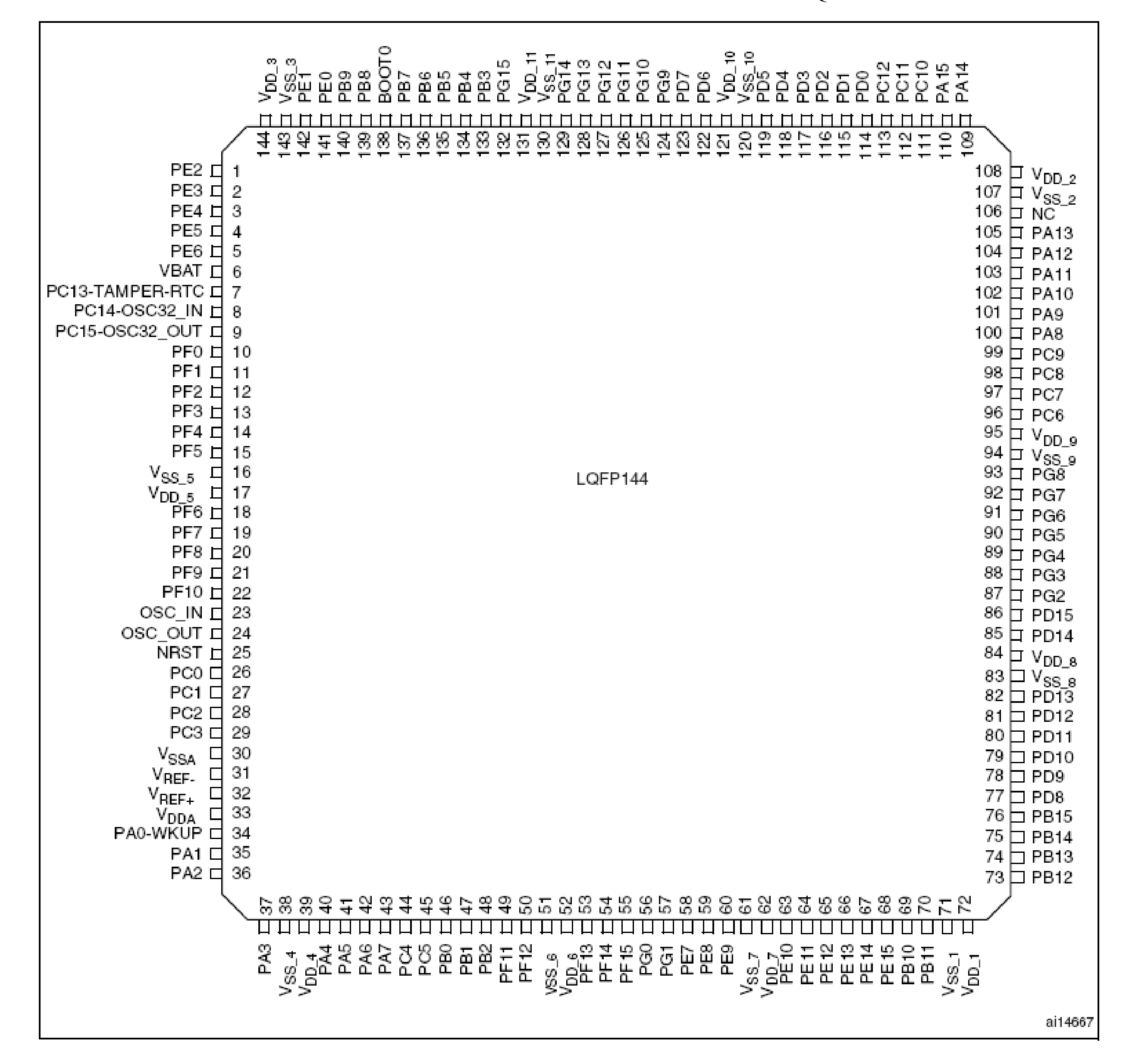
图二 时钟树



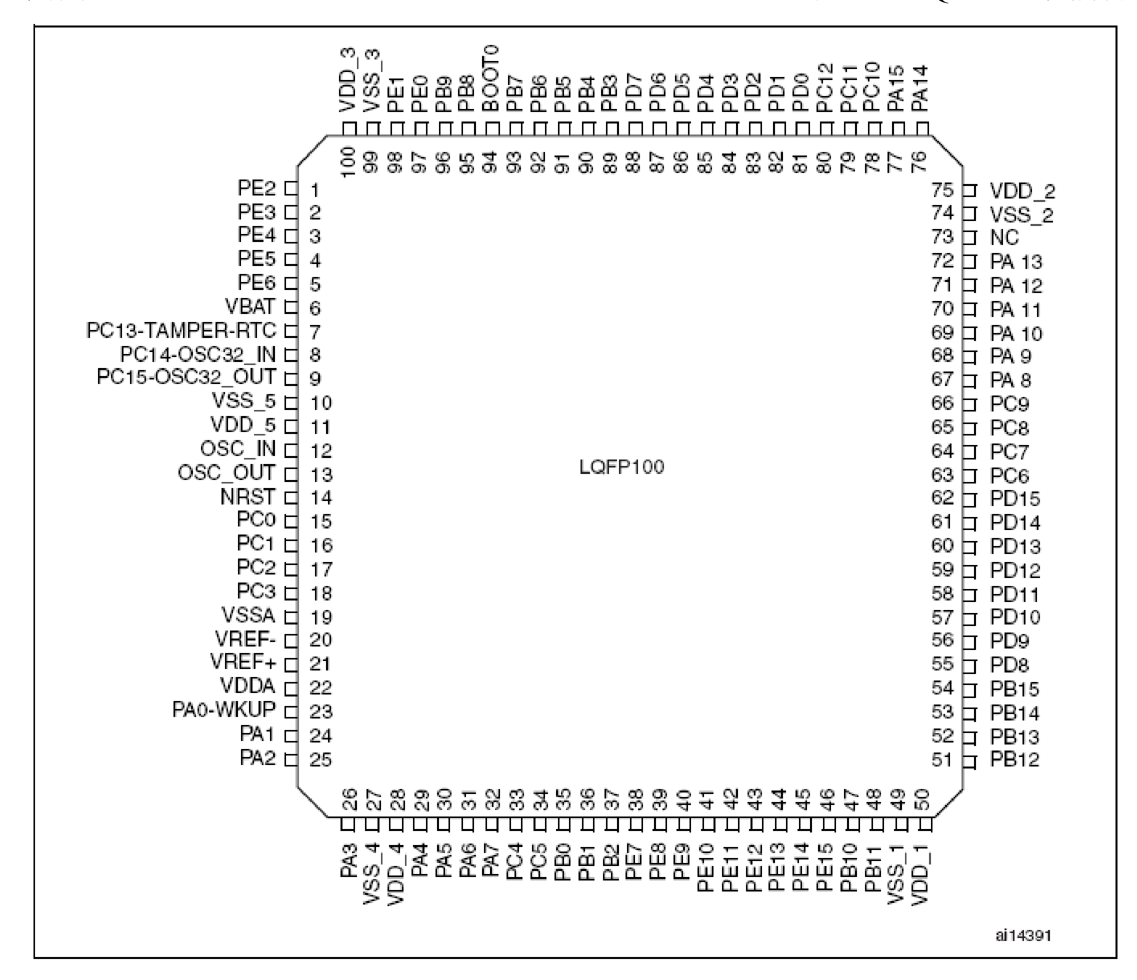
1. 当HIS作为PLL时钟的输入时，最高的系统时钟频率只能达到64MHz。
2. 当使用USB功能时，必须同时使用HSE和PLL，CPU的频率必须是48MHz或72MHz。
3. 当需要ADC采样时间为1μs时，APB2必须设置在14MHz、28MHz或56MHz。

3 管脚定义

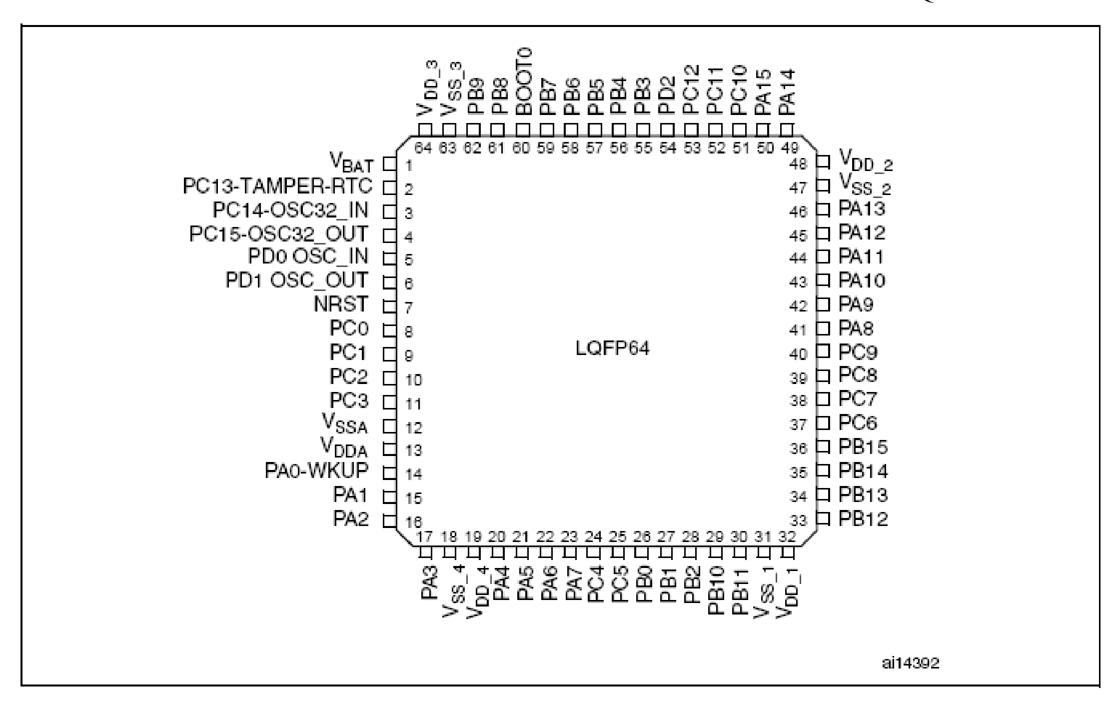
图三 STM32F103xC、STM32F103xD 和 STM32F103xE 增强型 LQFP144 管脚分布



图四 STM32F103xC、STM32F103xD 和 STM32F103xE 增强型 LQFP100 管脚分布




图五 STM32F103xC、STM32F103xD 和 STM32F103xE 增强型 LQFP64 管脚分布



图六 STM32F103xC、STM32F103xD 和 STM32F103xE 增强型 BGA100 管脚分布

	1	2	3	4	5	6	7	8	9	10
A	PC14-OSC32_IN	PC13-TAMPER-RTC	PE2	PB9	PB7	PB4	PB3	PA15	PA14	APA13
B	PC15-OSC32_OUT	V_{BAT}	PE3	PB8	PB6	PD5	PD2	PC11	PC10	PA12
C	OSC_IN	V_{SS_5}	PE4	PE1	PB5	PD6	PD3	PC12	PA9	PA11
D	OSC_OUT	V_{DD_5}	PE5	PE0	BOOT0	PD7	PD4	PD0	PA8	PA10
E	NRST	PCD	PE6	V_{SS_4}	V_{SS_3}	V_{SS_2}	V_{SS_1}	PD1	PC9	PC7
F	PC0	PC1	PC3	V_{DD_4}	V_{DD_3}	V_{DD_2}	V_{DD_1}	NC	PC8	PC6
G	V_{SSA}	PA0-WKUP	PA4	PC4	PB2	PE10	PE14	PB15	PD11	PD15
H	V_{REF-}	PA1	PA5	PC5	PE7	PE11	PE15	PB14	PD10	PD14
J	V_{REF+}	PA2	PA6	PB0	PE8	PE12	PB10	PB13	PD9	PD13
K	V_{DDA}	PA3	PA7	PB1	PE9	PE13	PB11	PB12	PD8	PD12

AI16001

图七　STM32F103xC、STM32F103xD 和 STM32F103xE 增强型 BGA144 管脚分布

	1	2	3	4	5	6	7	8	9	10	11	12
A	PC13-TAMPER-RTC	PE3	PE2	PE1	PE0	PB4 JTRST	PB3 JTDO	PD6	PD7	PA15 JTDI	PA14 JTCK	PA13 JTMS
B	PC14-OSC32_IN	PE4	PE5	PE6	PB9	PB5	PG15	PG12	PD5	PC11	PC10	PA12
C	PC15-OSC32_OUT	V_{BAT}	PF0	PF1	PB8	PB6	PG14	PG11	PD4	PC12	NC	PA11
D	OSC_IN	V_{SS_5}	V_{DD_5}	PF2	BOOT0	PB7	PG13	PG10	PD3	PD1	PA10	PA9
E	OSC_OUT	PF3	PF4	PF5	V_{SS_3}	V_{SS_11}	V_{SS_10}	PG9	PD2	PD0	PC9	PA8
F	NRST	PF7	PF6	V_{DD_4}	V_{DD_3}	V_{DD_11}	V_{DD_10}	V_{DD_8}	V_{DD_2}	V_{DD_9}	PC8	PC7
G	PF10	PF9	PF8	V_{SS_4}	V_{DD_6}	V_{DD_7}	V_{DD_1}	V_{SS_8}	V_{SS_2}	V_{SS_9}	PG8	PC6
H	PC0	PC1	PC2	PC3	V_{SS_6}	V_{SS_7}	V_{SS_1}	PE11	PD11	PG7	PG6	PG5
J	V_{SSA}	PA0-WKUP	PA4	PC4	PB2/BOOT1	PG1	PE10	PE12	PD10	PG4	PG3	PG2
K	V_{REF-}	PA1	PA5	PC5	PF13	PG0	PE9	PE13	PD9	PD13	PD14	PD15
L	V_{REF+}	PA2	PA6	PB0	PF12	PF15	PE8	PE14	PD8	PD12	PB14	PB15
M	V_{DDA}	PA3	PA7	PB1	PF11	PF14	PE7	PE15	PB10	PB11	PB12	PB13

AI14789b

表4 管脚定义

脚位					管脚名称	类型(1)	I/O电平(2)	主功能(复位后)(3)	可选功能	
BGA144	BGA100	LQFP64	LQFP100	LQFP144					默认功能	重定义功能
A3	A3	-	1	1	PE2	I/O	FT	PE2	TRACECK/ FSMC_A23	
A2	B3	-	2	2	PE3	I/O	FT	PE3	TRACED0/ FSMC_A19	
B2	C3	-	3	3	PE4	I/O	FT	PE4	TRACED1/ FSMC_A20	
B3	D3	-	4	4	PE5	I/O	FT	PE5	TRACED2/ FSMC_A21	
B4	E3	-	5	5	PE6	I/O	FT	PE6	TRACED3/ FSMC_A22	
C2	B2	1	6	6	V_{BAT}	S		V_{BAT}		
A1	A2	2	7	7	PC13-TAMPER-RTC(4)	I/O		PC13(5)	TAMPER-RTC	
B1	A1	3	8	8	PC14-OSC32_IN(4)	I/O		PC14(5)	OSC32_IN	
C1	B1	4	9	9	PC15-OSC32_OUT(4)	I/O		PC15(5)	OSC32_OUT	
C3	-	-	-	10	PF0	I/O	FT	PF0	FSMC_A0	
C4	-	-	-	11	PF1	I/O	FT	PF1	FSMC_A1	
D4	-	-	-	12	PF2	I/O	FT	PF2	FSMC_A2	
E2	-	-	-	13	PF3	I/O	FT	PF3	FSMC_A3	
E3	-	-	-	14	PF4	I/O	FT	PF4	FSMC_A4	
E4	-	-	-	15	PF5	I/O	FT	PF5	FSMC_A5	
D2	C2	-	10	16	V_{SS_5}	S		V_{SS_5}		
D3	D2	-	11	17	V_{DD_5}	S		V_{DD_5}		
F3	-	-	-	18	PF6	I/O		PF6	ADC3_IN4/ FSMC_NIORD	
F2	-	-	-	19	PF7	I/O		PF7	ADC3_IN5/ FSMC_NREG	
G3	-	-	-	20	PF8	I/O		PF8	ADC3_IN6/ FSMC_NIOWR	
G2	-	-	-	21	PF9	I/O		PF9	ADC3_IN7/ FSMC_CD	
G1	-	-	-	22	PF10	I/O		PF10	ADC3_IN8/ FSMC_INTR	
D1	C1	5	12	23	OSC_IN	I		OSC_IN		
E1	D1	6	13	24	OSC_OUT	O		OSC_OUT		
F1	E1	7	14	25	NRST	I/O		NRST		
H1	F1	8	15	26	PC0	I/O		PC0	ADC123_IN10	
H2	F2	9	16	27	PC1	I/O		PC1	ADC123_IN11	
H3	E2	10	17	28	PC2	I/O		PC2	ADC123_IN12	
H4	F3	11	18	29	PC3	I/O		PC3	ADC123_IN13	

表5 管脚定义 （续 1）

脚位					管脚名称	类型(1)	I/O电平(2)	主功能(复位后)(3)	可选功能	
BGA144	BGA100	LQFP64	LQFP100	LQFP144					默认功能	重定义功能
J1	G1	12	19	30	V_{SSA}	S		V_{SSA}		
K1	H1	-	20	31	V_{REF-}	S		V_{REF-}		
L1	J1	-	21	32	V_{REF+}	S		V_{REF+}		
M1	K1	13	22	33	V_{DDA}	S		V_{DDA}		
J2	G2	14	23	34	PA0-WKUP	I/O		PA0	WKUP/USART2_CTS(6) ADC123_IN0/TIM5_CH1 TIM2_CH1_ETR TIM8_ETR	
K2	H2	15	24	35	PA1	I/O		PA1	USART2_RTS(6) ADC123_IN1 TIM5_CH2/TIM2_CH2(6)	
L2	J2	16	25	36	PA2	I/O		PA2	USART2_TX(6)/TIM5_CH3 ADC123_IN2/TIM2_CH3(6)	
M2	K2	17	26	37	PA3	I/O		PA3	USART2_RX(6)/TIM5_CH4 ADC123_IN3/TIM2_CH4(6)	
G4	E4	18	27	38	V_{SS_4}	S		V_{SS_4}		
F4	F4	19	28	39	V_{DD_4}	S		V_{DD_4}		
J3	G3	20	29	40	PA4	I/O		PA4	SPI1_NSS(6)/DAC_OUT1 USART2_CK(6)/ADC12_IN4	
K3	H3	21	30	41	PA5	I/O		PA5	SPI1_SCK(6)/DAC_OUT2 ADC12_IN5	
L3	J3	22	31	42	PA6	I/O		PA6	SPI1_MISO(6)/TIM8_BKIN ADC12_IN6/TIM3_CH1(6)	TIM1_BKIN
M3	K3	23	32	43	PA7	I/O		PA7	SPI1_MOSI(6)/TIM8_CH1N ADC12_IN7/TIM3_CH2(6)	TIM1_CH1N
J4	G4	24	33	44	PC4	I/O		PC4	ADC12_IN14	
K4	H4	25	34	45	PC5	I/O		PC5	ADC12_IN15	
L4	J4	26	35	46	PB0	I/O		PB0	ADC12_IN8 TIM3_CH3/TIM8_CH2N	TIM1_CH2N
M4	K4	27	36	47	PB1	I/O		PB1	ADC12_IN9 TIM3_CH4(6)/TIM8_CH3N	TIM1_CH3N
J5	G5	28	37	48	PB2/BOOT1	I/O	FT	PB2/BOOT1		
M5	-	-	-	49	PF11	I/O			FSMC_NIOS16	
L5	-	-	-	50	PF12	I/O			FSMC_A6	
H5	-	-	-	51	V_{SS_6}	S				
G5	-	-	-	52	V_{DD_6}	S				
K5	-	-	-	53	PF13	I/O			FSMC_A7	
M6	-	-	-	54	PF14	I/O			FSMC_A8	
L6	-	-	-	55	PF15	I/O			FSMC_A9	
K6	-	-	-	56	PG0	I/O			FSMC_A10	
J6	-	-	-	57	PG1	I/O			FSMC_A11	

表6 管脚定义 （续 2）

脚位					管脚名称	类型(1)	I/O电平(2)	主功能(复位后)(3)	可选功能	
BGA144	BGA100	LQFP64	LQFP100	LQFP144					默认功能	重定义功能
M7	H5	-	38	58	PE7	I/O	FT	PE7	FSMC_D4	TIM1_ETR
L7	J5	-	39	59	PE8	I/O	FT	PE8	FSMC_D5	TIM1_CH1N
K7	K5	-	40	60	PE9	I/O	FT	PE9	FSMC_D6	TIM1_CH1
H6	-	-	-	61	V_{SS_7}	S				
G6	-	-	-	62	V_{DD_7}	S				
J7	G6	-	41	63	PE10	I/O	FT	PE10	FSMC_D7	TIM1_CH2N
H8	H6	-	42	64	PE11	I/O	FT	PE11	FSMC_D8	TIM1_CH2
J8	J6	-	43	65	PE12	I/O	FT	PE12	FSMC_D9	TIM1_CH3N
K8	K6	-	44	66	PE13	I/O	FT	PE13	FSMC_D10	TIM1_CH3
L8	G7	-	45	67	PE14	I/O	FT	PE14	FSMC_D11	TIM1_CH4
M8	H7	-	46	68	PE15	I/O	FT	PE15	FSMC_D12	TIM1_BKIN
M9	J7	29	47	69	PB10	I/O	FT	PB10	I2C2_SCL/USART3_TX[6]	TIM2_CH3
M10	K7	30	48	70	PB11	I/O	FT	PB11	I2C2_SDA/USART3_RX[6]	TIM2_CH4
H7	E7	31	49	71	V_{SS_1}	S		V_{SS_1}		
G7	F7	32	50	72	V_{DD_1}	S		V_{DD_1}		
M11	K8	33	51	73	PB12	I/O	FT	PB12	SPI2_NSS/I2C2_SMBAI I2S2_WS/USART3_CK[6] TIM1_BKIN[6]	
M12	J8	34	52	74	PB13	I/O	FT	PB13	SPI2_SCK/I2S2_CK USART3_CTS[6]/TIM1_CH1N	
L11	H8	35	53	75	PB14	I/O	FT	PB14	SPI2_MISO/USART3_RTS[6] TIM1_CH2N	
L12	G8	36	54	76	PB15	I/O	FT	PB15	SPI2_MOSI/I2S2_SD TIM1_CH3N[6]	
L9	K9	-	55	77	PD8	I/O	FT	PD8	FSMC_D13	USART3_TX
K9	J9	-	56	78	PD9	I/O	FT	PD9	FSMC_D14	USART3_RX
J9	H9	-	57	79	PD10	I/O	FT	PD10	FSMC_D15	USART3_CK
H9	G9	-	58	80	PD11	I/O	FT	PD11	FSMC_A16	USART3_CTS
L10	K10	-	59	81	PD12	I/O	FT	PD12	FSMC_A17	TIM4_CH1/ USART3_RTS
K10	J10	-	60	82	PD13	I/O	FT	PD13	FSMC_A18	TIM4_CH2
G8	-	-		83	V_{SS_8}	S				
F8	-	-		84	V_{DD_8}	S				
K11	H10	-	61	85	PD14	I/O	FT	PD14	FSMC_D0	TIM4_CH3
K12	G10	-	62	86	PD15	I/O	FT	PD15	FSMC_D1	TIM4_CH4
J12	-	-	-	87	PG2	I/O	FT	PG2	FSMC_A12	
J11	-	-	-	88	PG3	I/O	FT	PG3	FSMC_A13	
J10	-	-	-	89	PG4	I/O	FT		FSMC_A14	
H12	-	-	-	90	PG5	I/O	FT		FSMC_A15	

表7　管脚定义（续3）

脚位					管脚名称	类型(1)	I/O电平(2)	主功能(复位后)(3)	可选功能	
BGA144	BGA100	LQFP64	LQFP100	LQFP144					默认功能	重定义功能
H11	-	-	-	91	PG6	I/O	FT		FSMC_INT2	
H10	-	-	-	92	PG7	I/O	FT		FSMC_INT3	
G11	-	-	-	93	PG8	I/O	FT			
G10	-	-	-	94	V_{SS_9}	S				
F10	-	-	-	95	V_{DD_9}	S				
G12	F10	37	63	96	PC6	I/O	FT	PC6	I2S2_MCK/TIM8_CH1 SDIO_D6	TIM3_CH1
F12	E10	38	64	97	PC7	I/O	FT	PC7	I2S3_MCK/TIM8_CH2 SDIO_D7	TIM3_CH2
F11	F9	39	65	98	PC8	I/O	FT	PC8	TIM8_CH3/SDIO_D0	TIM3_CH3
E11	E9	40	66	99	PC9	I/O	FT	PC9	TIM8_CH4/SDIO/D1	TIM3_CH4
E12	D9	41	67	100	PA8	I/O	FT	PA8	USART1_CK TIM1_CH1(6)/MCO	
D12	C9	42	68	101	PA9	I/O	FT	PA9	USART1_TX(6) TIM1_CH2(6)	
D11	D10	43	69	102	PA10	I/O	FT	PA10	USART1_RX(6)/ TIM1_CH3(6)	
C12	C10	44	70	103	PA11	I/O	FT	PA11	USART1_CTS/CANRX TIM1_CH4(6)/USBDM	
B12	B10	45	71	104	PA12	I/O	FT	PA12	USART1_RTS/CANTX/ TIM1_ETR(6)/USBDP	
A12	A10	46	72	105	PA13 JTMS/SWDIO	I/O	FT	JTMS/ SWDIO	PA13	
C11	F8	-	73	106	未连接					
G9	E6	47	74	107	V_{SS_2}	S		V_{SS_2}		
F9	F6	48	75	108	V_{DD_2}	S		V_{DD_2}		
A11	A9	49	76	109	PA14 JTCK/SWCLK	I/O	FT	JTCK/ SWCLK	PA14	
A10	A8	50	77	110	PA15/JTDI	I/O	FT	JTDI	PA15/SPI3_NSS I2S3_WS	TIM2_CH1_ETR/ SPI1_NSS
B11	B9	51	78	111	PC10	I/O	FT	PC10	USART4_TX/SDIO_D2	USART3_TX
B10	B8	52	79	112	PC11	I/O	FT	PC11	USART4_RX/SDIO_D3	USART3_RX
C10	C8	53	80	113	PC12	I/O	FT	PC12	USART5_TX/SDIO_CK	USART3_CK
E10	D8	5	81	114	PD0	I/O	FT	OSC_IN(7)	FSMC_D2	CANRX
D10	E8	6	82	115	PD1	I/O	FT	OSC_OUT(7)	FSMC_D3	CANTX
E9	B7	54	83	116	PD2	I/O	FT	PD2	TIM3_ETR USART5_RX/SDIO_CMD	
D9	C7	-	84	117	PD3	I/O	FT	PD3	FSMC_CLK	USART2_CTS
C9	D7	-	85	118	PD4	I/O	FT	PD4	FSMC_NOE	USART2_RTS
B9	B6	-	86	119	PD5	I/O	FT	PD5	FSMC_NWE	USART2_TX
E7	-	-	-	120	V_{SS_10}	S				
F7	-	-	-	121	V_{DD_10}	S				

表8　管脚定义 （续 4）

脚位					管脚名称	类型[1]	I/O电平[2]	主功能(复位后)[3]	可选功能	
BGA144	BGA100	LQFP64	LQFP100	LQFP144					默认功能	重定义功能
A8	C6	-	87	122	PD6	I/O	FT	PD6	FSMC_NWAIT	USART2_RX
A9	D6	-	88	123	PD7	I/O	FT	PD7	FSMC_NE1/FSMC_NCE2	USART2_CK
E8	-	-	-	124	PG9	I/O	FT		FSMC_NE2/FSMC_NCE3	
D8	-	-	-	125	PG10	I/O	FT		FSMC_NCE4_1/FSMC_NE3	
C8	-	-	-	126	PG11	I/O	FT		FSMC_NCE4_2	
B8	-	-	-	127	PG12	I/O	FT		FSMC_NE4	
D7	-	-	-	128	PG13	I/O	FT		FSMC_A24	
C7	-	-	-	129	PG14	I/O	FT		FSMC_A25	
E6	-	-	-	130	V_{SS_11}	S				
F6	-	-	-	131	V_{DD_11}	S				
B7	-	-	-	132	PG15	I/O				
A7	A7	55	89	133	PB3/JTDO	I/O	FT	JTDO	PB3/TRACESWO/JTDO SPI3_SCK/I2S3_CK	TIM2_CH2/ SPI1_SCK
A6	A6	56	90	134	PB4/JNTRST	I/O	FT	JNTRST	PB4/SPI3_MISO	TIM3_CH1/ SPI1_MISO
B6	C5	57	91	135	PB5	I/O		PB5	I2C1_SMBAI SPI3_MOSI/I2S3_SD	TIM3_CH2/ SPI1_MOSI
C6	B5	58	92	136	PB6	I/O	FT	PB6	I2C1_SCL[6]/ TIM4_CH1[6]	USART1_TX
D6	A5	59	93	137	PB7	I/O	FT	PB7	I2C1_SDA[6]/FSMC_NADV TIM4_CH2[6]	USART1_RX
D5	D5	60	94	138	BOOT0	I		BOOT0		
C5	B4	61	95	139	PB8	I/O	FT	PB8	TIM4_CH3[6]/SDIO_D4	I2C1_SCL/ CANRX
B5	A4	62	96	140	PB9	I/O	FT	PB9	TIM4_CHR[6]/SDIO_D5	I2C1_SDA/ CANTX
A5	D4	-	97	141	PE0	I/O	FT	PE0	TIM4_ETR/FSMC_NBL0	
A4	C4	-	98	142	PE1	I/O	FT	PE1	FSMC_NBL1	
E5	E5	63	99	143	V_{SS_3}	S		V_{SS_3}		
F5	F5	64	100	144	V_{DD_3}	S		V_{DD_3}		

1. I = 输入，O = 输出，S = 电源， HiZ = 高阻
2. FT：容忍5V
3. 有些功能仅在部分型号芯片中支持。
4. PC13，PC14和PC15引脚通过电源开关进行供电，因此这三个引脚作为输出引脚时有以下限制：作为输出脚时只能工作在2MHz模式下，最大驱动负载为30pF，在同一时间三个引脚中只有一个引脚能作为输出。
5. 这些引脚在备份区域第一次上电时处于主功能状态下，之后即使复位，这些引脚的状态由备份区域寄存器控制(这些寄存器不会被主复位系统所复位）。 关于如何控制这些IO口的具体信息，请参考STM32F10xxx参考手册的电池备份区域和BKP寄存器的相关章节。
6. 此类复用功能能够由软件配置到其他引脚上(如果相应的型号有此管脚)，详细信息请参考STM32F10xxx参考手册的复用功能I/O章节和调试设置章节。
7. LQFP64封装的5号，6号引脚在芯片复位后默认配置为OSC_IN和OSC_OUT功能脚。软件可以重新设置这两个引脚为PD0和PD1功能脚。但对于LQFP100/BGA100封装和LQFP144/BGA144封装，由于PD0和PD1为固有的功能脚，因此没有必要再由软件进行重映像设置。更多详细信息请参考STM32F10xxx参考手册的复用功能I/O章节和调试设置章节。

表9 FSMC 管脚定义

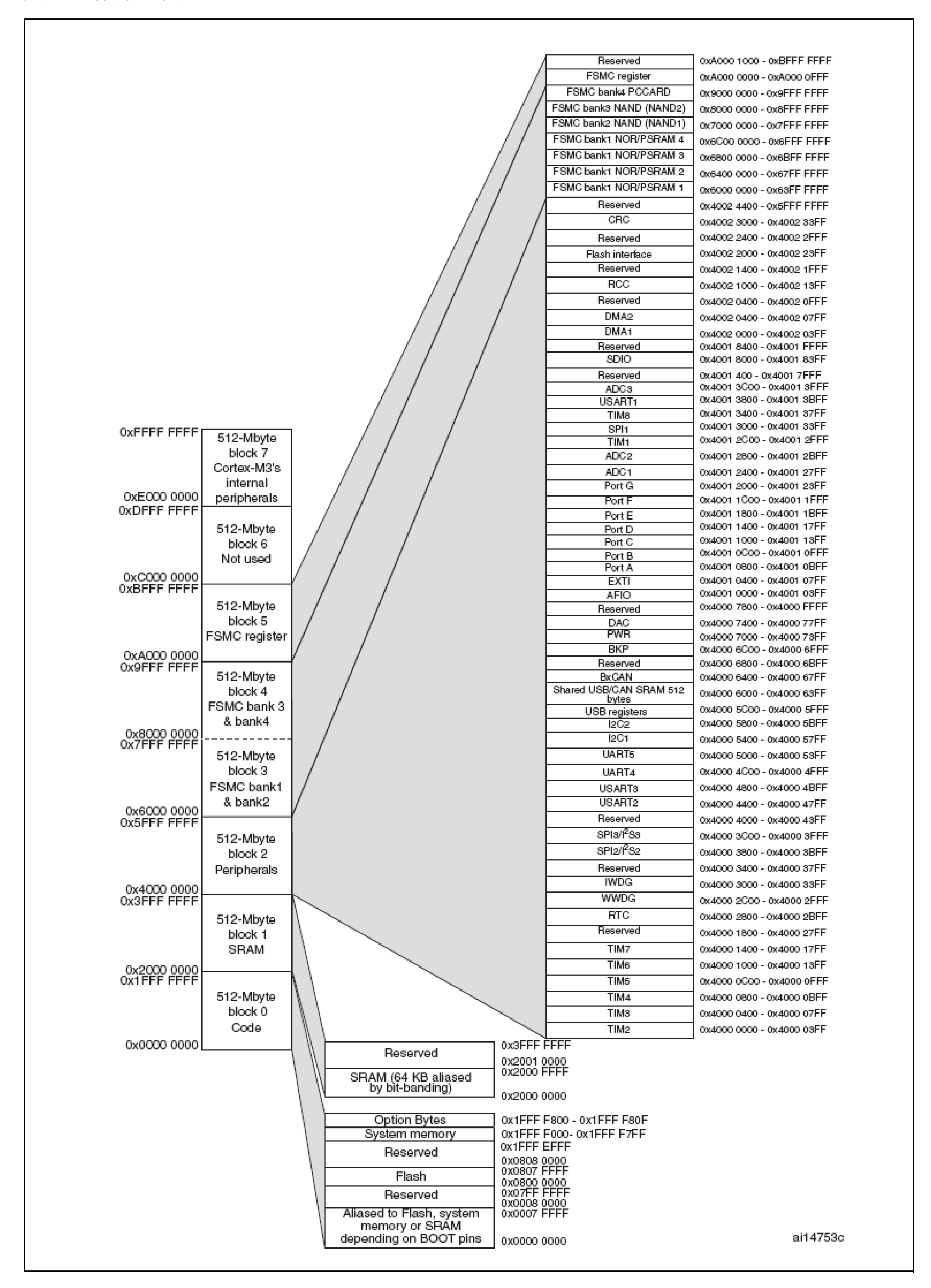
管脚	FSMC				
	CF	CF/IDE	NOR/PSRAM	NOR Mux	NAND 16bit
PE2			A23	A23	
PE3			A19	A19	
PE4			A20	A20	
PE5			A21	A21	
PE6			A22	A22	
PF0	A0	A0	A0		
PF1	A1	A1	A1		
PF2	A2	A2	A2		
PF3	A3		A3		
PF4	A4		A4		
PF5	A5		A5		
PF6	NIORD	NIORD			
PF7	NREG	NREG			
PF8	NIOWR	NIOWR			
PF9	CD	CD			
PF10	INTR	INTR			
PF11	NIOS16	NIOS16			
PF12	A6		A6		
PF13	A7		A7		
PF14	A8		A8		
PF15	A9		A9		
PG0	A10		A10		
PG1			A11		
PE7	D4	D4	D4	DA4	D4
PE8	D5	D5	D5	DA5	D5
PE9	D6	D6	D6	DA6	D6
PE10	D7	D7	D7	DA7	D7
PE11	D8	D8	D8	DA8	D8
PE12	D9	D9	D9	DA9	D9
PE13	D10	D10	D10	DA10	D10
PE14	D11	D11	D11	DA11	D11
PE15	D12	D12	D12	DA12	D12
PD8	D13	D13	D13	DA13	D13
PD9	D14	D14	D14	DA14	D14
PD10	D15	D15	D15	DA15	D15
PD11			A16	A16	CLE
PD12			A17	A17	ALE
PD13			A18	A18	
PD14	D0	D0	D0	DA0	D0
PD15	D1	D1	D1	DA1	D1

表10 FSMC 管脚定义（续）

管脚	FSMC				
	CF	CF/IDE	NOR/PSRAM	NOR Mux	NAND 16bit
PG2			A12		
PG3			A13		
PG4			A14		
PG5			A15		
PG6					INT2
PG7					INT3
PD0	D2	D2	D2	DA2	D2
PD1	D3	D3	D3	DA3	D3
PD3			CLK	CLK	
PD4	NOE	NOE	NOE	NOE	NOE
PD5	NEW	NEW	NEW	NEW	NEW
PD6	NWAIT	NWAIT	NWAIT	NWAIT	NWAIT
PD7			NE1	NE1	NCE2
PG9			NE2	NE2	NCE3
PG10	NCE4_1	NCE4_1	NE3	NE3	
PG11	NCE4_2	NCE4_2			
PG12			NE4	NE4	
PG13			A24	A24	
PG14			A25	A25	
PB7			NADV	NADV	
PE0			NBL0	NBL0	
PE1			NBL1	NBL1	

4 存储器映像

图七 存储器图



5 电气特性

5.1 测试条件

除非特别说明，所有电压的都以V_{SS}为基准。

5.1.1 最小和最大数值

除非特别说明，在生产线上通过对100%的产品在环境温度T_A=25°C和T_A=$T_A$max下执行的测试($T_A$max与选定的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过推算、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在推算的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均±3Σ)得到。

5.1.2 典型数值

除非特别说明，典型数据是基于T_A=25°C和V_{DD}=3.3V（2V≤V_{DD}≤3.3V电压范围）。这些数据仅用于设计指导而未经测试。

典型的ADC精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95%产品的误差小于等于给出的数值(平均±2Σ)。

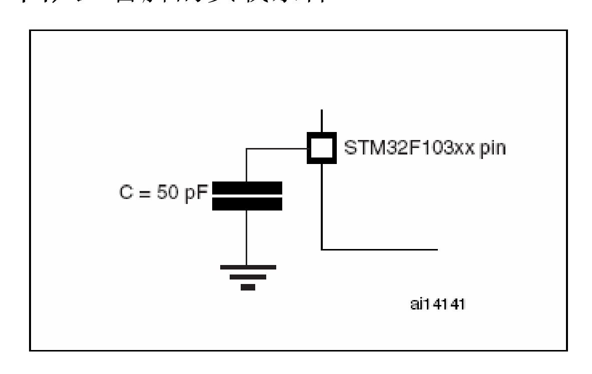
5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 负载电容

测量管脚参数时的负载条件示于图八中。

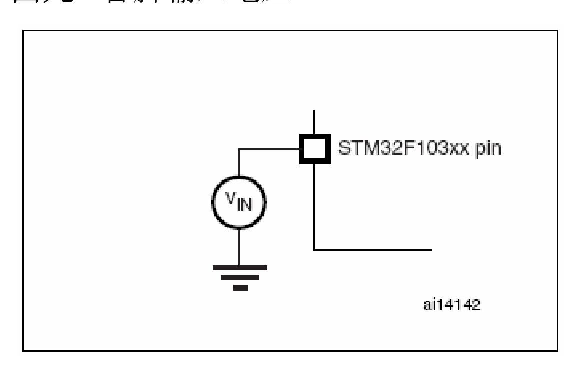
图八　管脚的负载条件



5.1.5 管脚输入电压

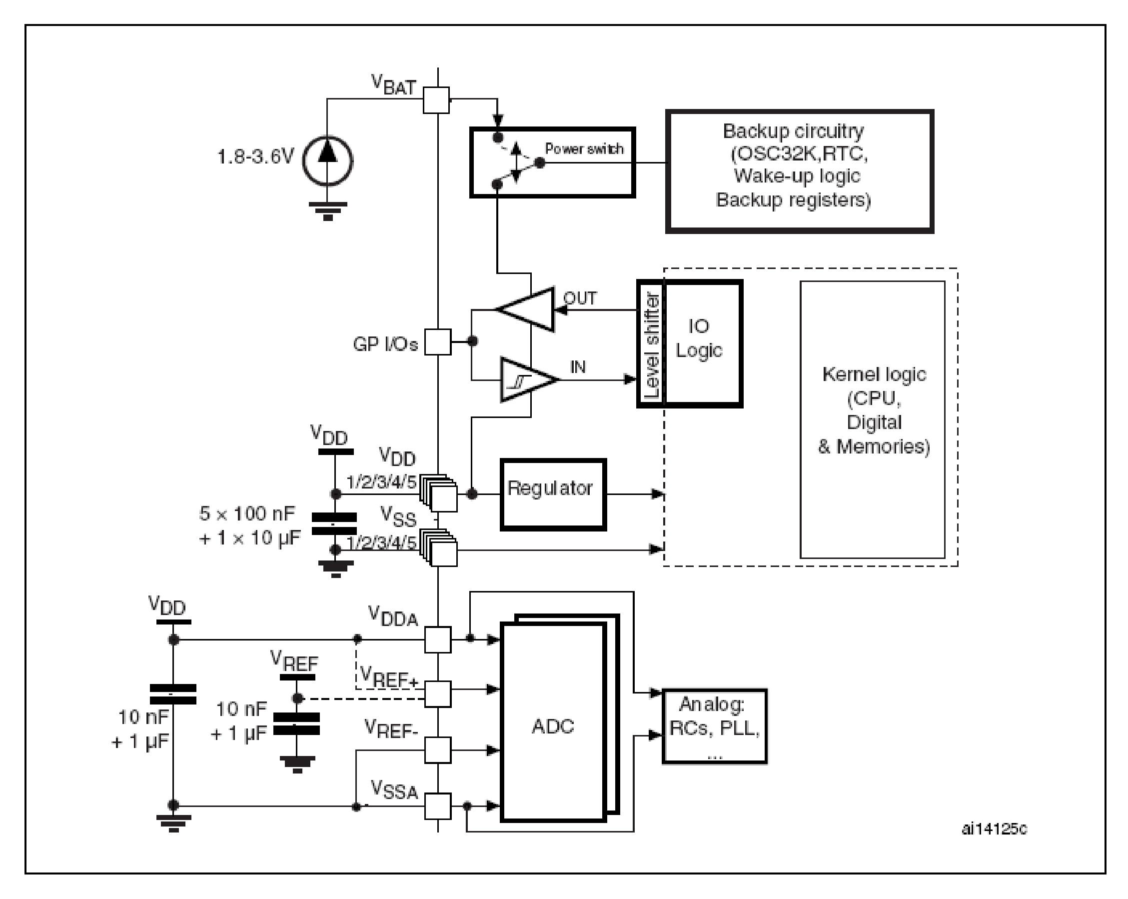
管脚上输入电压的测量方式示于图九中。

图九 管脚输入电压



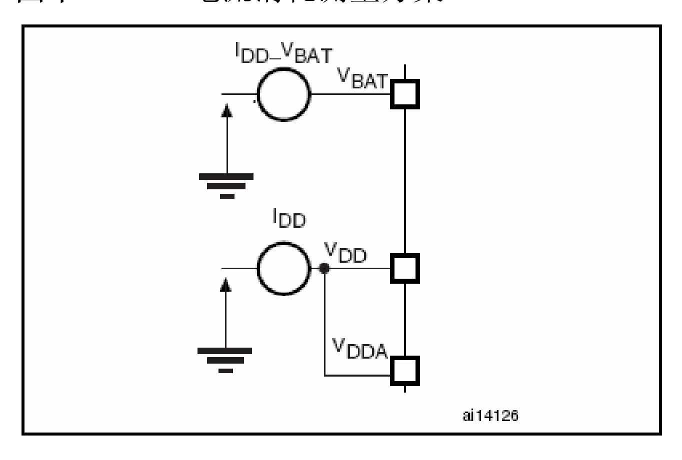
5.1.6 供电方案

图十 供电方案



5.1.7 电流消耗测量

图十一　　电流消耗测量方案



以下请参考英文版数据手册

6 封装参数

请参考英文版数据手册

7 订货代码

订货代码信息图示

例如：



关于更多的选项列表和其他相关信息，请与ST的销售处联络。

8 版本历史

请参考英文版数据手册